

PCT/JP 2004/005046

日 本 国 特 許 庁
JAPAN PATENT OFFICE

07. 4. 2004

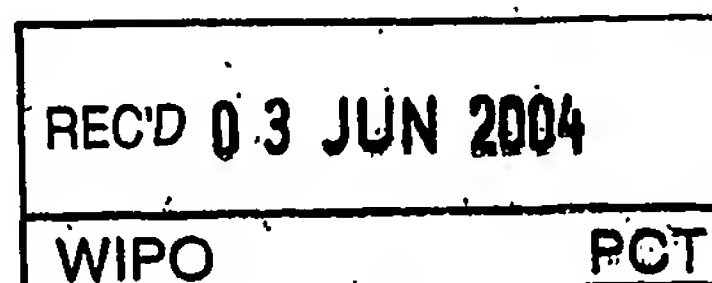
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 4月 9日

出 願 番 号
Application Number: 特願 2003-105650
[ST. 10/C]: [JP 2003-105650]

出 願 人
Applicant(s): 関西電力株式会社

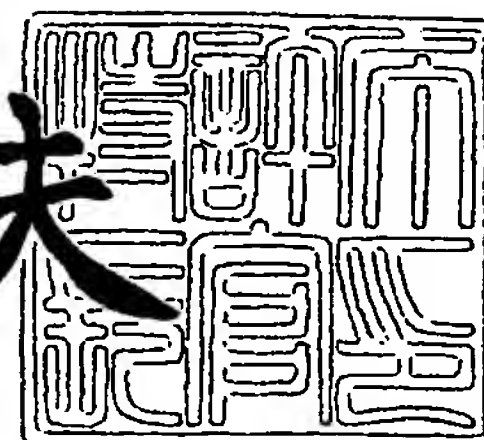


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特 2004-3042003

【書類名】 特許願

【整理番号】 FKSD0213S

【提出日】 平成15年 4月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/744

【発明者】

 【住所又は居所】 大阪市北区中之島3丁目3番22号 関西電力株式会社
 内

 【氏名】 浅野 勝則

【発明者】

 【住所又は居所】 大阪市北区中之島3丁目3番22号 関西電力株式会社
 内

 【氏名】 菅原 良孝

【特許出願人】

 【識別番号】 000156938

 【住所又は居所】 大阪市北区中之島3丁目3番22号

 【氏名又は名称】 関西電力株式会社

【代理人】

 【識別番号】 100062926

 【弁理士】

 【氏名又は名称】 東島 隆治

【選任した代理人】

 【識別番号】 100113479

 【弁理士】

 【氏名又は名称】 大平 覺

【手数料の表示】

 【予納台帳番号】 031691

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 ゲートターンオフサイリスタ

【特許請求の範囲】

【請求項 1】 一方の面に第 1 の電極を有する、n 型及び p 型のいずれか一方の導電型の第 1 のエミッタ層、

前記第 1 のエミッタ層の他方の面に設けられた第 1 のエミッタ層の導電型と異なる導電型の第 1 のベース層、

前記第 1 のベース層の上に設けられた第 1 のエミッタ層と同じ導電型の第 2 のベース層、

前記第 2 のベース層の上に設けられたメサ型の、前記第 1 のエミッタ層の導電型と異なる導電型の第 2 のエミッタ層、

前記メサ型の第 2 のエミッタ層に設けられた第 2 の電極、

前記メサ型の第 2 のエミッタ層と前記第 2 のベース層との接合部の端部から離れた領域において、前記メサ型の第 2 のエミッタ層を取り囲む領域及び、前記接合部との間に前記第 2 のベース層を介在させつつ前記接合部の端部近傍から前記メサ型の第 2 のエミッタ層の底部に至る領域に形成した、前記第 2 のベース層と同じ導電型でかつ前記第 2 のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域、及び

前記低抵抗ゲート領域端部に接する第 3 の電極

を有するワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 2】 前記低抵抗ゲート領域の、前記第 3 の電極との接合部近傍の不純物濃度を前記低抵抗ゲート領域の不純物濃度より高くしたことを特徴とする請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 3】 前記低抵抗ゲート領域が、前記第 2 のエミッタ層と前記第 2 のベース層との接合部近傍の第 2 のベース層内に設けられている請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 4】 前記第 2 のベース層と前記第 2 のエミッタ層との接合部の端部近傍の前記第 2 のベース層内に設けられた、前記第 2 のエミッタ層と同じ導電型の領域を有する請求項 1 記載のワイドギャップ半導体のゲートターンオフサイ

リスタ。

【請求項 5】 前記第 2 のベース層の表面近傍の、前記メサ型の第 2 エミッタ層と第 2 のベース層との接合部近傍を含むメサの底部に、前記接合部の端部との間に前記第 2 のエミッタ層と同じ導電型の領域を介在させて前記第 2 のベース層と同じ導電型の低抵抗ゲート領域を設けたことを特徴とする請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 6】 前記第 2 のベース層の表面近傍の、前記メサ型の第 2 エミッタ層と第 2 のベース層との接合部から離れた位置に設けられた、前記第 2 のベース層と同じ導電型の低抵抗ゲート領域

前記低抵抗ゲート領域に接する第 3 の電極、及び

前記第 2 のベース層と前記第 2 のエミッタ層との接合部の端部近傍の前記第 2 のベース層内に設けられた、前記第 2 のエミッタ層と同じ導電型の領域

を有する請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 7】 前記第 2 のベース層がメサ型に形成され、前記第 2 のベース層と同じ導電型の低抵抗ゲート領域が前記メサ型の第 2 のベース層を取り囲むように、前記第 1 のベース層内に形成されている請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 8】 前記低抵抗領域の内側に形成された、前記低抵抗ゲート領域と同じ導電型の少なくとも 1 つの低抵抗ゲート小領域を有する請求項 1 又は 7 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 9】 前記第 1 のエミッタ層が n 型のカソードエミッタ層であり、前記第 1 のベース層が p 型のベース層であり、前記第 2 のベース層が n 型のベース層であり、前記第 2 のエミッタ層が p 型のアノードエミッタ層であり、前記低抵抗ゲート領域が n 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、カソード電極、アノード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 10】 前記第 1 のエミッタ層が p 型のアノードエミッタ層であり

、前記第 1 のベース層が n 型のベース層であり、前記第 2 のベース層が p 型のベース層であり、前記第 2 のエミッタ層が n 型のカソードエミッタ層であり、前記低抵抗ゲート領域が p 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、アノード電極、カソード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 1 1】 ワイドギャップ半導体がシリコンカーバイド (SiC) である請求項 1 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【請求項 1 2】 前記低抵抗ゲート領域の不純物濃度が、前記ベース領域の不純物濃度の 3 倍以上であることを特徴とする請求項 1 又は 8 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はワイドギャップ半導体を用いたゲートターンオフサイリスタに関するものであり、特に広い温度範囲において大電流の遮断が可能なゲートターンオフサイリスタに関する。

【0 0 0 2】

【従来の技術】

シリコンを用いたゲートターンオフサイリスタ（以下、GTOと略記する）の第 1 の従来例として特開平 6 - 1 5 1 8 2 3 号公報に示されたものがある。第 1 の従来例の GTO では、アノード電極を有する n ベース層の上にメサ型の p ベース層を設け、メサ型の p ベース層の中央領域に n エミッタ層を、不純物の拡散により形成している。この構成により、p ベース層と n エミッタ層の接合がメサ斜面に露出しないので、メサ斜面に電界集中が生じにくい GTO が得られる。しかし n エミッタ層を不純物の拡散により形成しているので結晶欠陥が多く、GTO のオン時の抵抗が大きくなる。

シリコンを用いた GTO の第 2 の従来例が特許公報第 2 6 9 2 3 6 6 号に示されている。第 2 の従来例では、p エミッタ層の上に n ベース層を形成し、n ベー

ス層の上にpベース層を形成している。pベース層の上に不純物の拡散によりnエミッタ層を形成し、エッチングによりメサ型のnエミッタ層を得ている。第2の従来例は不純物の拡散によりnエミッタ層を形成している点では前記第1の従来例のものと同一である。

シリコンカーバイド(SiC)などのワイドギャップ半導体を用いた第1の従来例のゲートターンオフサイリスタ(以下、GTOと略記する)には、例えば文献; IEEE Electron Device Letters, Vol. 18, No.11, November, 1997の518ページから520ページに記載されているものがある。この従来例では、p型のアノードエミッタ層を、アノードエミッタ層が接するp型のベース層までメサ型にエッチングし、メサ型にエッチングされたアノードエミッタ層を取り囲むように、ベース層上にゲート電極を設けている。このような構造にしたのは以下の理由によるものと思われる。ワイドギャップ半導体でないシリコン(Si)のGTOでは、部分的なpn接合は一般に不純物の熱拡散あるいはイオン注入により形成される。しかしワイドギャップ半導体であるSiCの場合は、不純物の熱拡散が非常に遅く大量生産に適さないため、pn接合はイオン注入により形成している。その場合、高濃度の不純物をイオン注入すると結晶欠陥が多くなり抵抗が大きくなる。そのため、GTOに大電流を流すとイオン注入した領域の電圧降下が大きくなりパワーロスが大きい。特にp型の不純物であるアルミニウム等の、原子半径の大きな不純物をイオン注入すると結晶欠陥が発生しやすく、高濃度のp型領域を結晶欠陥なしでは形成することはできない。そこで、SiCにおいて部分的なpn接合を形成する場合、特に大電流を流すp型領域を形成する場合は、まずn型層の上に結晶性がよく欠陥の少ないp型のエピタキシャル膜を形成する。このエピタキシャル膜を選択的にエッチングして、メサ型の部分的なpn接合を形成してGTOを構成している。p型層とn型層の接合部の端部は、メサの斜面あるいはメサのコーナ一部に近傍に露出している。成膜後のGTOの全表面を絶縁膜で覆うことにより外部からのイオンが半導体表面に付着するのを防ぎ、GTOの長期の信頼性を確保している。

【0003】

一般にGTOは、ゲートとアノード間に逆バイアス電圧を印加することにより

主電流をゲートに分流させてターンオフできるという、電流の制御性を有している。その制御性を表す特性として「最大可制御電流」がある。最大可制御電流は、GTOが制御できる最大の電流である。GTOの最大可制御電流を大きくするには、ターンオフ時のオフゲート電圧（ゲートとアノード間に印加する逆方向の電圧）を高くして主電流をなるべく多くゲートに分流させる。オフゲート電圧を高くしてゲートに分流させる主電流を大きくすればするほど、最大可制御電流を大きくできることが知られている。

図9及び図10に、それぞれ典型的な第2及び第3の従来例のSiCのGTOの断面図を示す。図9に示す第2の従来例のGTOにおいて、カソード端子K（以下、カソードKと記す）につながるカソード電極21を下面に有する高不純物濃度のn型SiCのカソードエミッタ層1の上に、低不純物濃度のp型SiCのベース層2を形成する。p型ベース層2の上にn型ベース層3を形成する。n型ベース層3の全面に、後の工程で中央領域を残してp型アノードエミッタ層4となるp型層をエピタキシャル成長法により形成する。次にp型層のアノードエミッタ層4となる領域を残して、他の領域を反応性イオンエッチング法によりn型ベース層3の表面がいくらか除去されるまでエッチングして、メサ型のアノードエミッタ層4を形成する。露出したn型ベース層3の端部領域の、接合部Jから離れた部分に、アノードエミッタ層4を取り囲むように、n型のゲートコンタクト領域6をイオン注入により形成する。アノードエミッタ層4にアノード端子A（以下、アノードAと記す）につながるアノード電極20を形成し、ゲートコンタクト領域6にゲート端子G（以下、ゲートGと記す）につながるゲート電極22を形成する。最後に、GTOの表面に水分やNaイオンなどのイオンが付着するのを防止するために、電極を除く全面に二酸化ケイ素（SiO₂）等の絶縁膜10を形成する。

【0004】

図10に示す第3の従来例のGTOでは、各層及び各領域の導電型が、前記図9に示すGTOとそれぞれ逆になっている点を除いて、その構成は図9に示すGTOと実質的に同じである。

図9に示すGTOでは、ターンオフ時にゲートGとアノードA間にオフゲート

電圧を印加する。また図 1 0 に示す G T O では、ターンオフ時にカソード K とゲート G 間にオフゲート電圧を印加する。その結果、図 9 及び図 1 0 の G T O ではともに主電流がゲート G に分流し G T O はターンオフする。

【 0 0 0 5 】**【特許文献 1】**

特開昭 5 7 - 1 0 9 7 1 号公報

【特許文献 2】

特開昭 6 1 - 1 8 2 2 6 0 号公報

【特許文献 3】

特開平 1 0 - 2 9 4 4 5 0 号公報

【特許文献 4】

特開平 6 - 1 5 1 8 2 3 号公報

【特許文献 5】

特許 第 2 6 9 2 3 6 6 号公報

【非特許文献 1】

IEEE Electron device letters Vol.18, No.11, November, 1997,
pages 518 - 520

【非特許文献 2】

Material science Forum Vols.389 - 393 (2002) pp.1349 -1352

【 0 0 0 6 】**【発明が解決しようとする課題】**

図 9 の G T O で可制御電流を大きくするためにオフゲート電圧を高くすると、アノードエミッタ層 4 とベース層 3 の接合部 J の端部領域 T の近傍の絶縁膜 1 0 の電界が高くなる。S i C の場合は、絶縁破壊電界が S i に比べ約 1 0 倍と大きいので、ベース層 3 の厚さは S i のものに比べ、数十分の 1 と薄くしている。そのためオフゲート電圧を高くすると、アノードエミッタ層 4 を形成するメサの表面の絶縁膜 1 0 (例えば S i O₂ 膜) に高電界が印加され、絶縁膜 1 0 の絶縁破壊が生じるおそれがある。また長期間高電界が印加され続けるとリーク電流が増え、G T O 素子のゲート耐電圧 (ゲート G とアノード A 間の耐電圧) が低下し、

長期の信頼性が低下するという問題がある。

図 1 0 の G T O でも可制御電流を大きくする対策としてオフゲート電圧を高くすると、カソードエミッタ層 2 4 とベース層 5 との接合部 J の端部領域 T の近傍の絶縁膜 1 0 の電界が高くなる。そのためカソード K とゲート G 間の耐電圧が低下し、長期の信頼性が低下する。

【 0 0 0 7 】

G T O の可制御電流を大きくする他の対策として、ゲート電極が設けられているベース層の不純物濃度を上げて横方向の抵抗を低減する方法、及びベース層を厚くする方法が特開昭 6 1 - 1 8 2 2 6 0 号公報に記載されている。不純物濃度を上げてベース層の横方向の抵抗を低減すると、G T O のオン時にそのベース層に近接するエミッタ層からのキャリア（例えば、図 9 の G T O 場合はホール、図 1 0 の G T O の場合は電子）の注入効率が下がる。また、ゲートが設けられているベース層を厚くすると、近接するエミッタ層からそのベース層を通して、その下のベース層へ到達するキャリアの数が減少する。その結果、G T O をターンオンさせるために必要なゲート電流が大きくなる。またオン電圧も大きくなり、パワーロスが大きくなるという問題がある。

【 0 0 0 8 】

ワイドギャップ半導体を用いた半導体装置の使用最高接合温度は、S i 半導体を用いた半導体装置の使用最高接合温度（1 2 5 ℃程度）に比べ大幅に高い。例えば S i C の使用最高接合温度は 5 0 0 ℃以上である。したがって、ワイドギャップ半導体を使用する装置では、室温から 5 0 0 ℃以上の広い温度範囲において、半導体装置が所望の特性を維持するのが望ましい。

先行技術文献の Material Science Forum Vols. 389-393 (2002), pp. 1349-1352 によれば、S i C の G T O で使用温度が 1 5 0 ℃以上になると最大可制御電流が大幅に低下するとされている。例えば 2 0 0 ℃においては、室温時の最大可制御電流の約 6 分の 1 以下となる。これは次のような理由によるものと思われる。

まず理解を容易にするために、S i の G T O の場合について説明する。S i の場合、アクセプタとしてホウ素やアルミニウムが用いられる。アクセプタ準位はそれぞれ 4 5 m e V 及び 6 0 m e V と浅く、室温で容易にイオン化しアクセプタ

から正孔が生じる。そのため、室温でほとんどすべての不純物がイオン化して正孔が生じている。Siの最高接合温度125℃までの使用において、不純物のイオン化率が十分高いのでイオン化率が問題になることはほとんどない。

【0009】

SiCのGTOでも、SiのGTOと同様に、アクセプタとしてホウ素やアルミニウムが用いられるが、それらのアクセプタ準位はそれぞれ約300meV及び約240meVと深く、室温でのイオン化率は数%以下と非常に低い。しかし、温度をあげるとイオン化率は大幅に増大する。

例えば図9のGTOにおいて、温度が150℃以上の高温になってp型のアノードエミッタ層4のイオン化率が増大すると、アノードエミッタ層4からn型のベース層3を経てp型のベース層2に注入されるホール数が室温のときに比べて大幅に多くなる。また電子も多くなりp型ベース層2で余剰キャリア（ホール及び電子）が増えるため、最大可制御電流が低下する。さらに、150℃以上の高温ではキャリアのライフタイムも長くなるため、これによっても最大可制御電流が大幅に低下する。また、高温ではp型のアノードエミッタ層4のキャリア濃度が高くなるために、オフゲート電圧の印加時に空乏層が十分に広がらなくなる。このような状態では、p型アノードエミッタ層4とn型ベース層3の接合部Jの近傍のアノードエミッタ層4の端部領域Tの近傍で電界強度が高くなり、アノードAとゲートG間の耐電圧（約30V）が低下する。

また図10のGTOにおいて上記のような状態になると、カソードKとゲートG間の耐電圧（約30V）が低下する。さらに、アノードエミッタ層24の端部領域Tの近傍の電界強度が高くなって絶縁膜10の電界が高くなり、絶縁破壊を起こすおそれがある。またリーク電流が増大して、長期間の使用における信頼性が低下する。

【0010】

【課題を解決するための手段】

本発明では、メサ型のエミッタ層を有するワイドギャップ半導体のゲートターンオフサイリスタ（以下、ワイドギャップGTOという）において、エミッタ層と、そのエミッタ層に近接する、ゲートが設けられるベース層との接合部の端部

近傍の絶縁膜の電界を緩和することによって可制御電流を大きくする。

前記接合部の端部近傍の絶縁膜の電界を緩和するために、ベース層内に抵抗値の低い低抵抗ゲート領域を形成する。これによりターンオフ時の電流が抵抗値の低い低抵抗ゲート領域を通るため電圧降下が少なく、オフゲート電圧を高くしてターンオフ時のゲート電流が多くなっても絶縁膜の電界はあまり高くない。絶縁膜の電界を高くしない他の方法として、接合部近傍に電界緩和領域を形成する方法がある。これにより絶縁膜の電界が緩和されるため、オフゲート電圧を高くできる。したがって主電流を高い効率で分流できる。オフゲート電圧を高くすることが可能となるため室温以下の低温から 5 0 0 ℃を超える高温までの広い温度範囲において、大きな最大可制御電流を維持できる。オフゲート電圧をあまり高くしないときは、長期の信頼性が格段に高くなる。前記接合部近傍の絶縁膜の電界を低くできるので G T O の長期間の信頼性を維持することが可能となる。

【 0 0 1 1 】

本発明のワイドギャップ半導体のゲートターンオフサイリスタは、一方の面に第 1 の電極を有する、n 型及び p 型のいずれか一方の導電型の第 1 のエミッタ層、前記第 1 のエミッタ層の他方の面に設けられた第 1 のエミッタ層の導電型と異なる導電型の第 1 のベース層、前記第 1 のベース層の上に設けられた第 1 のエミッタ層と同じ導電型の第 2 のベース層、前記第 2 のベース層の上に設けられたメサ型の、前記第 1 のエミッタ層の導電型と異なる導電型の第 2 のエミッタ層、前記メサ型の第 2 のエミッタ層に設けられた第 2 の電極、前記メサ型の第 2 のエミッタ層と前記第 2 のベース層との接合部の端部から離れた領域において、前記メサ型の第 2 のエミッタ層を取り囲む領域及び、前記接合部との間に前記第 2 のベース層を介在させつつ前記接合部の端部近傍から前記メサ型の第 2 のエミッタ層の底部に至る領域に形成した、前記第 2 のベース層と同じ導電型でかつ前記第 2 のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域、及び前記低抵抗ゲート領域端部に接する第 3 の電極を有する。

【 0 0 1 2 】

本発明によれば、第 1 の導電型のベース層内に第 1 の導電型の低抵抗ゲート領域を形成したことにより、ターンオフ時には電子流が第 1 の導電型のベース層か

ら第1の導電型の低抵抗ゲート領域及び第1の導電型のゲートコンタクト領域を
通ってゲートに流れる。低抵抗ゲート領域は低抵抗値であるので、この電子流が
大きい場合でも第1の導電型のベース層内での電圧降下は小さい。従ってアノー
ドAとゲートG間に印加されるオフゲート電圧はこの電圧降下の影響をうけず、
大きな電子流を高効率で流すことができる。その結果GTOの可制御電流を大き
くできる。

【0013】

【発明の実施の形態】

本発明の、シリコンカーバイド（以下、SiC）を用いたゲートターンオフサ
イリスタ（以下、GTOと略記する）の好適な実施例を図1から図8を参照して
説明する。図1は本発明の第1実施例のGTOの1つの素子の上面図である。図
2から図8は、それぞれ本発明の各実施例のGTOの1つの素子（単位）の断面
図である。各図において、図を見易くするために断面にはハッチを施していない
。各実施例のGTOの上面図は基本的に図1に示すものと類似である。各実施例
のGTOの実際の構成では、多数の素子（通常数10～数1000）が図の左右
方向に同一基板上で連結されており、それぞれのアノード電極、ゲート電極、カ
ソード電極は、それぞれ必要に応じて並列又は直列に接続されている。なお実際
の装置では、図示を省略したが、左右方向に多数の素子が配置されるとともに、
さらに図の上下方向に当たる方向にも多数の列が配置されることが一般的である
。

【0014】

《第1実施例》

本発明の第1実施例のSiCを用いたGTOを図1及び図2を参照して説明す
る。図1は第1実施例のGTOの、絶縁膜10を設ける前の上面を示す上面図で
ある。図2は図1のII-II断面図である。図1及び図2において、本実施例のG
TOでは、カソード端子K（以下、カソードK）につながるカソード電極21（
第1の電極）を下面に有する厚さが約 $350\mu\text{m}$ の不純物濃度が 10^{19}cm^{-3}
程度以上の高不純物濃度のn型（第1の導電型）のSiCのカソードエミッタ
層1（第1のエミッタ層）の上に、厚さが約 $50\mu\text{m}$ 、不純物濃度が $10^{16}\sim$

10^{13} cm^{-3} 程度の低不純物濃度の p 型（第 2 の導電型）の SiC のベース層 2（第 1 のベース層）を形成する。p 型ベース層 2 の上に厚さ数 μm 程度の薄い n 型ベース層 3（第 2 のベース層）を形成する。n 型ベース層 3 の全面に、後の工程で中央領域を残して p 型アノードエミッタ層 4 とする p 型層をエピタキシャル成長法により形成する。次に p 型層のアノードエミッタ層 4（第 2 のエミッタ層）となる領域を残して、他の領域を反応性イオンエッチング法により、n 型ベース層 3 の表面が露出しかつ表面部分がいくらか除去される程度に深くエッチングしてメサ型のアノードエミッタ層 4 を形成する。露出した n 型ベース層 3 にイオン注入をして順次 n 型の低抵抗ゲート領域 5 及び n 型のゲートコンタクト領域 6 を、アノードエミッタ層 4 を取り囲むように形成する。低抵抗ゲート領域 5 の不純物濃度はベース層 3 の不純物濃度の 3 倍以上であるのが好ましい。イオン注入の工程で低抵抗ゲート領域 5 がベース層 2 の上面近傍にまで形成されてもよい。低抵抗ゲート領域 5 はアノードエミッタ層 4 とベース層 3 の接合部 J から若干離れて形成される。ゲートコンタクト領域 6 は低抵抗ゲート領域 5 より更に不純物濃度の高い領域であり、接合部 J から大きく離れた位置に形成される。アノードエミッタ層 4 にアノード端子 A（以下、アノード A）につながるアノード電極 20（第 2 の電極）を形成し、ゲートコンタクト領域 6 にゲート端子 G（以下、ゲート G）につながるゲート電極 22（第 3 の電極）を形成する。最後に成膜後の GTO の表面に水分や Na イオンなどのイオンが付着するのを防止するために、電極を除く全面に二酸化ケイ素（ SiO_2 ）等の絶縁膜 10 を形成する。n 型の不純物としては窒素を用いることができる。また p 型の不純物としてはホウ素やアルミニウムを用いることができる。

【0015】

本実施例の GTO の構造上の特徴は、n 型ベース層 3 内の n 型ゲートコンタクト領域 6 を、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J から離して、沿面距離を大きくとると共に、n 型ベース層 3 内の、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J からベース層 2 の方向に所定の距離を隔てた領域に、n 型の高い不純物濃度を有する低抵抗値の低抵抗ゲート領域 5 を形成している点にある。n 型ゲートコンタクト領域 6 と、メサ M の斜面に露出する p 型

アノードエミッタ層 4 と n 型ベース層 3 との接合部 J の端部 J E との間の距離は、 $2\mu\text{m}$ から $10\mu\text{m}$ 程度である。また、n 型低抵抗ゲート領域 5 は、n 型ベース層 3 の上面から $0.3\mu\text{m}$ ないし $5\mu\text{m}$ 程度の深さで形成されている。

本実施例では図 2 に示すように、n 型低抵抗ゲート領域 5 をメサ M の底面 MB の下方にのみ形成するのが好ましいが、n 型低抵抗ゲート領域 5 を、図 2 の延長部 5 E に示すように、p 型アノードエミッタ層 4 の下部の n 型ベース層 3 内にまで少し延長しても良い。低抵抗ゲート領域に 5 の延長部 5 E を長くすると、GTO の、最大可制御電流、最小点弧電流及びオン電圧が大きくなり、耐電圧は低くなる。逆に低抵抗ゲート領域 5 を図 2 に示す長さよりも短くすると、GTO の最大可制御電流、最小点弧電流及びオン電圧が小さくなり、耐電圧は高くなる。特に高耐電圧を必要とする場合には、n 型低抵抗ゲート領域 5 を短くしてアノードエミッタ層 4 から離すのが望ましい。

【0016】

本実施例の GTO の動作を以下に説明する。アノード A の電位がカソード K の電位より高い状態で、ゲート G の電位をアノード A の電位より低くしてアノード A とゲート G 間に順バイアス電圧を印加すると、アノード A からゲート G に電流が流れる。この状態ではアノードエミッタ層 4 からホールが n 型ベース層 3 に注入されて p 型のベース層 2 に入ると共に、電子が n 型のカソードエミッタ層 1 から p 型のベース層 2 に注入され、GTO はターンオンしてオン状態となる。アノード A とゲート G 間に逆バイアス電圧を印加し、カソード K からアノード A に流れる電子流をゲート G に分流すると、GTO はターンオフする。

【0017】

本実施例の GTO では、n 型ゲートコンタクト領域 6 が、メサ型の p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J から離れているため、ゲート G とアノード A 間の耐電圧は両者間の沿面距離で決まらず、SiC が本来有する p 型アノードエミッタ層 4 内の絶縁破壊電界によって決まる。SiC は高い絶縁破壊電界を有するので本実施例の GTO は高耐電圧を有する。また高温時に p 型のアノードエミッタ層 4 のイオン化率が高くなりホール濃度が大きくなっても高耐電圧を維持できる。

【0 0 1 8】

n 型ベース層 3 内に n 型低抵抗ゲート領域 5 を形成したことにより、ターンオフ時には電子流が n 型ベース層 3 から n 型低抵抗ゲート領域 5 及び n 型ゲートコンタクト領域 6 を通ってゲート G に流れる。n 型低抵抗ゲート領域 5 は不純物濃度が高く低抵抗値であるので、この電子流が大きい場合でも n 型ベース層 3 内の電圧降下が小さく、接合部 J 近傍の絶縁膜 1 0 に印加される電界は高くない。そのため、アノード A とゲート G 間に印加されるオフゲート電圧はこの電圧降下の影響をあまりうけずオフゲート電圧を高くすることができる。オフゲート電圧を高くすることにより、大きな電子流を高効率で流すことができる。その結果、本実施例の G T O は可制御電流を大きくできる。本実施例の G T O を 5 0 0 ℃程度の高温で用いたとき、p 型アノードエミッタ層 4 のホール濃度が増加して n 型ベース層 3 に注入されるホールが増加し、又は温度上昇によりホールや電子のライフタイムが長くなっても、本実施例の G T O ではオフゲート電圧を高くすることにより最大可制御電流を大きくできる。接合部 J 近傍の絶縁膜に印加される電界を低くできるので、長期間の信頼性を維持できる。

本実施例の G T O の具体例では、ゲート G とアノード A 間の耐電圧は 1 5 0 V であり、図 9 及び図 1 0 に示す従来例の G T O の約 3 0 V に比べると大幅な高耐電圧化が実現できた。最大可制御電流を上げるためにターンオフ時のゲート電圧をあげても前記接合部 J 近傍の絶縁膜 1 0 に高電界が印加されず、絶縁破壊を生じにくい。高電界が印加されないため、ゲート G とアノード A 間のリーク電流が増加してゲート G とアノード A 間の耐圧が低下することがなく、長期間高い信頼性を維持できる。

本実施例では、アノードエミッタ層 4 をエピタキシャル成長法により形成している。エピタキシャル成長法では、結晶欠陥が非常に少ないので n 型ベース層 3 にホールを十分注入できる。そのためオン電圧が 3 . 7 V と小さくなるとともに損失を小さくできる。例えば、結晶欠陥の多いイオン注入法によりアノードエミッタ層を形成した場合にはオン電圧は 7 . 5 V であった。

【0 0 1 9】

《第 2 実施例》

図3は本発明の第2実施例の、SiCを用いたGTOの断面図である。図3において、本実施例のGTOは、図2に示す前記第1実施例のGTOと比べると、各層の導電型のp型とn型が入れ替わっている。下面にアノードAにつながるアノード電極20（第1の電極）を有する、厚さが約 $350\mu\text{m}$ のp型アノードエミッタ層4A（第1のエミッタ層）の上面に、厚さ約 $50\mu\text{m}$ の低不純物濃度のn型SiCのベース層2A（第1のベース層）を形成する。ベース層2Aの上に厚さ数 μm の薄いp型ベース層3A（第2のベース層）を形成し、p型ベース層3Aの全面に、後の工程で中央領域を残してn型カソードエミッタ層1Aとするn型層をエピタキシャル成長法によって形成する。次にn型層の、カソードエミッタ層1A（第2のエミッタ層）となる領域を残して他の領域を反応性イオンエッチング法でp型ベース層3Aの表面が露出しかつ表面部分がいくらか除去される程度に深くエッチングしてメサ型のカソードエミッタ層1Aを形成し、その上にカソード電極21（第2の電極）を形成する。露出したp型ベース層3Aにイオン注入によりp型の高不純物濃度を有する低抵抗値の低抵抗ゲート領域5A及びp型のゲートコンタクト領域6Aをカソードエミッタ層1Aを取り囲むように順次重ねて形成する。ゲートコンタクト領域6Aにゲート電極22（第3の電極）を形成する。最後に電極を除く全面に SiO_2 の絶縁膜10を形成する。

【0020】

本実施例の、ゲート電極22とカソード電極21が近接するGTOでは、アノードAの電位がカソードKの電位より高い状態で、カソードKとゲートG間に順バイアス電圧を印加すると、ゲートGからカソードKに電流が流れる。その結果、アノードエミッタ層4Aからホールがn型ベース層2Aに注入されてp型のベース層3に入ると共に、電子がn型カソードエミッタ層1Aからp型ベース層3Aに注入され、GTOはターンオンしてオン状態となる。カソードKとゲートG間に逆バイアス電圧を印加し、アノードAからカソードKに流れる電流をゲートGに分流させると、GTOはターンオフする。

【0021】

本実施例のSiCを用いたGTOでは、p型ベース層3A内にn型の低抵抗ゲート領域5Aを形成したことにより、ターンオフ時に、アノードAからゲートG

に流れる電流は、低抵抗ゲート領域 5 A 及びゲートコンタクト領域 6 A を通る。低抵抗ゲート領域 5 A は低抵抗値であるので電圧降下が小さく、ゲート G に大きな電流を流すことができる。従って前記の第 1 実施例と実質的に同様の作用により、ターンオフ時及びオフ状態の時に、n 型カソードエミッタ層 1 A と p 型ベース層 3 A との接合部 J 近傍の絶縁膜 1 0 の電界を小さくできる。また、ターンオフ時のオフゲート電圧を上げることにより、高温時でも室温のときとほぼ同じ最大可制御電流を実現できる。

【 0 0 2 2 】

《第 3 実施例》

図 4 は本発明の第 3 実施例の、SiC を用いた GTO の断面図である。図において本実施例の GTO では、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J の端部近傍を少なくとも含み、メサ M のコーナー部 MC 近傍からゲート電極 2 2 の方へ広がる p 型の領域 7 を n 型ベース層 3 内に形成している。その他の構成は図 2 に示す前記第 1 実施例の GTO と同じである。p 型の領域 7 を形成することにより、ターンオフ時のオフゲート電圧を大きくした場合でも、p 型アノードエミッタ層 4 と n 型ベース層 3 の接合部 J の端部のメサコーナー部 MC 近傍の絶縁膜 1 0 の電界強度を緩和することができる。その結果ゲート G とアノード A 間の耐電圧を上げることができるとともに、可制御電流を大きくすることができる。また、絶縁膜 1 0 に印加される電界強度を下げることもできるので、絶縁膜 1 0 の劣化を防ぐことができる。そのため長期の使用においてもゲート G とアノード A 間の漏れ電流の増大等を引き起こすおそれがなく、長期間高い信頼性を維持できる。本実施例の GTO の具体例では、ゲート G とアノード A との間の耐電圧は 2 0 5 V であり、第 1 実施例の GTO の耐電圧 (1 5 0 V) よりも高い耐電圧が得られた。

【 0 0 2 3 】

《第 4 実施例》

図 5 は本発明の第 4 実施例の、SiC を用いた GTO の断面図である。図において、本実施例の GTO では、n 型低抵抗ゲート領域 5 が、n 型ベース層 3 の端部領域の、p 型アノードエミッタ層 4 を除く部分に設けられている。n 型低抵抗

ゲート領域5は、p型アノードエミッタ層4を形成するためのメサエッチング用のマスクを用いて、n型ベース層3内にセルフアラインにより形成される。従ってn型低抵抗ゲート領域5のパターンを形成するためのプロセスを省略できる。本実施例では、前記第3実施例と同様に、p型アノードエミッタ層4とn型ベース層3との接合部Jの端部近傍を少なくとも含み、メサMのメサコーナー部MCの近傍からゲート電極22の方に広がるp型の領域7を前記n型低抵抗ゲート領域5内に形成している。その他の構成は図2に示す前記第1実施例のものと同一である。p型の領域7を設けることによって、メサコーナー部MC近傍で高不純物濃度のp型アノードエミッタ層4と高不純物濃度のn型低抵抗ゲート領域5の接合が形成されるのを回避し、メサMの底面で接合が形成されるようにする。その結果メサコーナー部MC近傍の絶縁膜10の電界強度が緩和されて、オフゲート電圧を高くすることができる。p型の領域7を、メサコーナー部MCを覆うように大きくし、アノードエミッタ層4とつながるように形成してもよい。本実施例の具体例によると、ゲートGとアノードA間の耐電圧は130Vであり、前記第1実施例のGTOの耐電圧（150V）より低いものの、従来のGTO（約30V）より大幅に高い耐電圧が得られた。耐電圧が高いためゲート電圧をあげることにより可制御電流を大きくすることができる。本実施例4のGTOでは、前記第1から第3実施例のGTOに設けられているゲートコンタクト領域5を設けていない。従って構成が簡単であり製造コストが安い。

【0024】

《第5実施例》

図6は本発明の第5実施例の、SiCを用いたGTOの断面図である。図6において、本実施例のGTOは、図4に示す前記第3実施例のGTOからn型低抵抗ゲート領域5を除いた構成を有する。第3実施例のGTOにおいてn型低抵抗ゲート領域5を形成する工程では、n型ベース層3にイオン注入を行って高不純物濃度のn型層を形成する。このとき、n型ベース層3及びn型低抵抗ゲート領域5に結晶欠陥が生じやすい。その結果、ゲート・アノード間の表面のリーク電流が増える。本実施例ではn型低抵抗ゲート領域5を設けないので、n型ベース層3に結晶欠陥による前記の問題は生じない。

本実施例では図 4 に示す前記第 3 実施例の G T O と同様に p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J の端部近傍を少なくとも含み、メサ M のコーナー部 M C の近傍からゲート電極 2 2 の方へ広がる電界強度緩和用の p 型の領域 7 を n 型ベース層 3 内に形成している。本実施例においても前記第 4 実施例の場合と同様に、p 型の領域 7 をメサコーナー部 M C を覆うように大きくし、アノードエミッタ層 4 とつながるように形成してもよい。この構成により、オフゲート電圧を高くしてもメサコーナー部 M C 近傍の電界強度が高くなることはなく、従って絶縁膜 1 0 の電界強度も高くなることはない。そのため絶縁膜 1 0 の劣化が避けられる。本実施例の G T O の具体例では、ゲート電極 2 2 とアノード電極 2 1 との間の耐電圧は 2 1 0 V であった。オフゲート電圧を高くすることができるので、可制御電流の大きい G T O が実現できる。

【 0 0 2 5 】

《第 6 実施例》

図 7 は本発明の第 6 実施例の、S i C を用いた G T O の断面図である。本実施例の G T O では、カソード電極 2 1 を下面に有する高不純物濃度の n 型 S i C のカソードエミッタ層 1 の上に p 型ベース層 2 をエピタキシャル成長法により形成する。次に、p 型ベース層 2 の両端部領域に n 型低抵抗ゲート領域 5 を形成する。次に p 型ベース層 2 と n 型低抵抗ゲート領域 5 の全面に、後の工程を経て n 型ベース層 3 及び p 型アノードエミッタ層 4 となる n 型ベース層及び p 型アノードエミッタ層をエピタキシャル成長法により順次積層する。n 型ベース層及び p 型アノードエミッタ層の両端部領域を、反応性イオンエッチング法により、n 型低抵抗ゲート領域 5 の面が露出するまでエッチングし、メサ斜面 M S を有するメサ型の n 型ベース層 3 及び p 型アノードエミッタ層 4 を形成する。本実施例の構成によれば、p 型アノードエミッタ層 4 と n 型ベース層 3 のメサ斜面 M S に露出する接合部 J E を、電界集中が生じやすいメサコーナー部 M C の近傍から離して十分な沿面距離をとることができる。そのため、オフゲート電圧を高くすることができるので、可制御電流の大きい G T O を実現できる。前記第 1 から第 4 実施例の場合のように、n 型ベース層 3 内の深い部分までイオン打ち込みをして n 型低抵抗ゲート領域 5 を n 型ベース層 3 内に形成する場合、n 型ベース層 3 に結晶欠

陥が生じやすい。これに対して、前記の反応性エッチング法により n 型ベース層 3 を形成する場合には、n 型ベース層 3 に結晶欠陥が発生しない。p 型ベース層 2 内に n 型低抵抗ゲート領域 5 を生成するときのみイオン注入を行うので、イオン注入の工程が少なく GTO の製造工程を簡略化できる。

SiC の GTO の場合、例えば Si の GTO に比べて、n 型ベース層 3 の不純物濃度が高い。そのため、オフ時に n 型ベース層 3 内に空乏層があまり広がらない。したがって、SiC の GTO では、Si の GTO で問題となっている低抵抗ゲート領域の端部への電界集中が生じないことから、アノード電極 20 とカソード電極 21 間の耐電圧を高くすることができる。

【0026】

《第 7 実施例》

図 8 は本発明の第 7 実施例の、SiC を用いた GTO の断面図である。本実施例の GTO は、両端部の n 型低抵抗ゲート領域 5 の間の主電流が流れる活性領域内において、p 型ベース層 2 の表面近傍に、少なくとも 1 つの n 型低抵抗ゲート小領域 55 を形成している。その他の構成は図 7 に示すものと同じである。本実施例の GTO では、ターンオフ時に n 型カソードエミッタ層 1 から p 型ベース層 2 に注入される電子流の大部分を、活性領域内に形成した n 型低抵抗ゲート領域 55 によってゲート電極 22 に有効に分流させることができる。これにより可制御電流の大きい GTO が実現できる。使用温度が 150℃ を超える高温時にキャリア（電子及びホール）のライフタイムが長くなったり、p 型アノードエミッタ層 4 のイオン化率が上昇してホール濃度が増加し n 型ベース層 3 を通って p 型ベース層 2 に流入するホールが増加した場合でも、可制御電流が小さくなることはほとんどない。

前記第 1 から第 7 実施例において、n 型の層及び領域を p 型の層及び領域に置き換え、p 型の層及び領域を n 型の層及び領域に置き換えることにより構成される GTO にも本発明の構成を適用できる。

【0027】

【発明の効果】

上記の各実施例で詳細に説明したように、本発明によればワイドギャップ半導

体を用いたGTOのゲートコンタクト領域をメサ型のエミッタ層とベース層との接合部から十分離すことにより、オフゲート電圧が高い場合でも前記接合部の近傍あるいはメサコーナ一部近傍の絶縁膜の電界が高くない。オフゲート電圧を高くすることにより、アノードとカソード間に流れる電流をゲートに効率的に分流させることができ、GTOの可制御電流を大きくすることができる。また絶縁膜に高電界が印加されないので、リーク電流が増大することはなく長期間信頼性を維持できる。

ゲートコンタクト領域に隣接して低抵抗ゲート領域を形成したことにより、ターンオフ時に低抵抗ゲート領域を流れる電流によって生じる電圧降下を小さくできる。そのためオフゲート電圧が従来のものと同じであっても、従来のGTOに比べて高効率でターンオフ電流をゲートに分流できる。高温での使用において、p型不純物のイオン化率が室温に比べ増大したりキャリアのライフタイムが長くなっても、オフゲート電圧を高くすることができる。さらに低抵抗ゲート領域によりターンオフ時のゲート電流をゲートに高効率で分流させることができるため、室温以下の低温から500℃を超える高温までの広い温度範囲において、大きな可制御電流を有するとともに長期間高い信頼性を維持できるGTOが実現できる。

【図面の簡単な説明】

【図1】

本発明の第1実施例のゲートターンオフサイリスタの上面図

【図2】

本発明の第1実施例のゲートターンオフサイリスタの断面図

【図3】

本発明の第2実施例のゲートターンオフサイリスタの断面図

【図4】

本発明の第3実施例のゲートターンオフサイリスタの断面図

【図5】

本発明の第4実施例のゲートターンオフサイリスタの断面図

【図6】

本発明の第 5 実施例のゲートターンオフサイリスタの断面図

【図 7】

本発明の第 6 実施例のゲートターンオフサイリスタの断面図

【図 8】

本発明の第 7 実施例のゲートターンオフサイリスタの断面図

【図 9】

従来例のゲートターンオフサイリスタの断面図

【図 10】

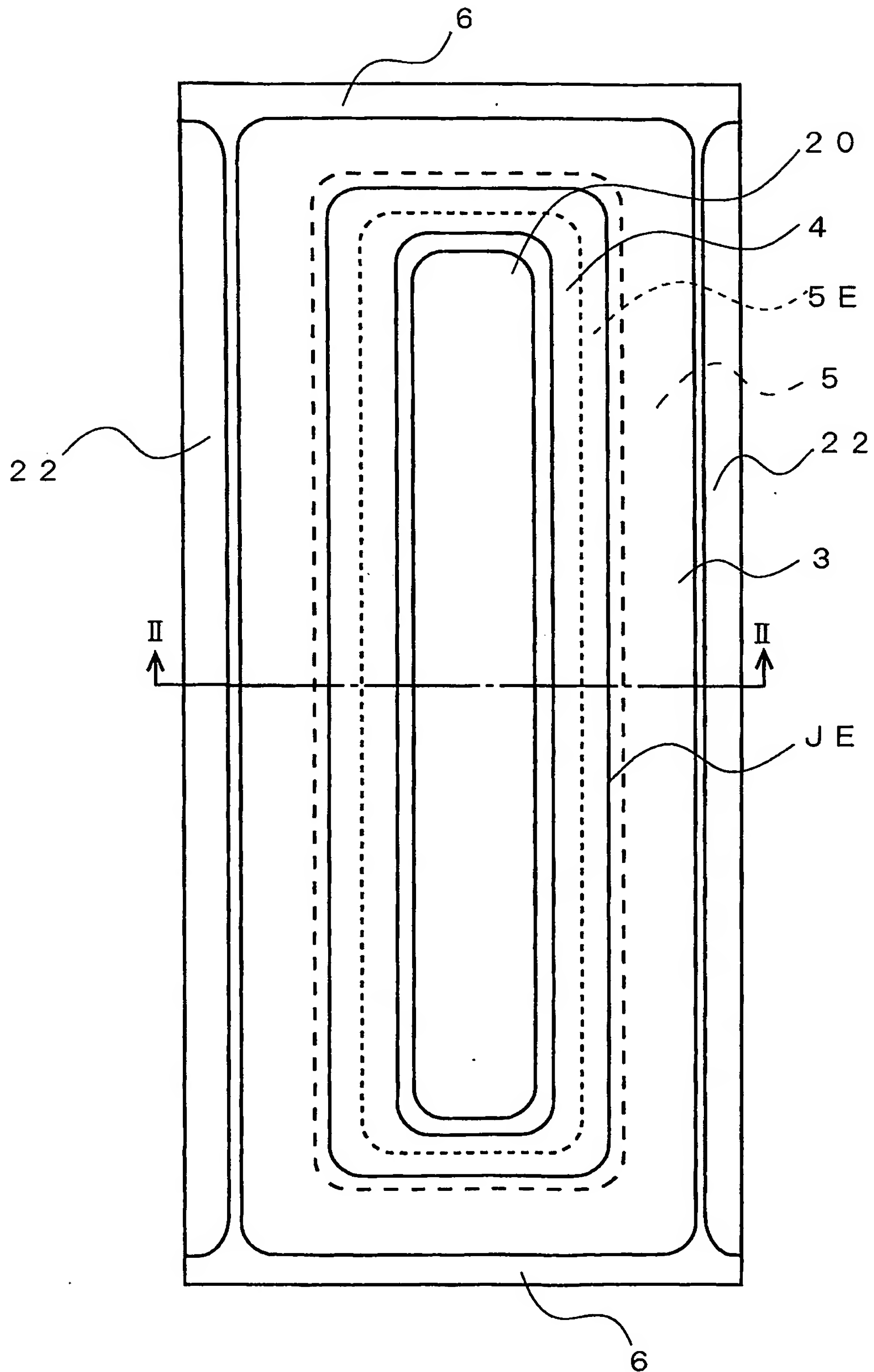
他の従来例のゲートターンオフサイリスタの断面図

【符号の説明】

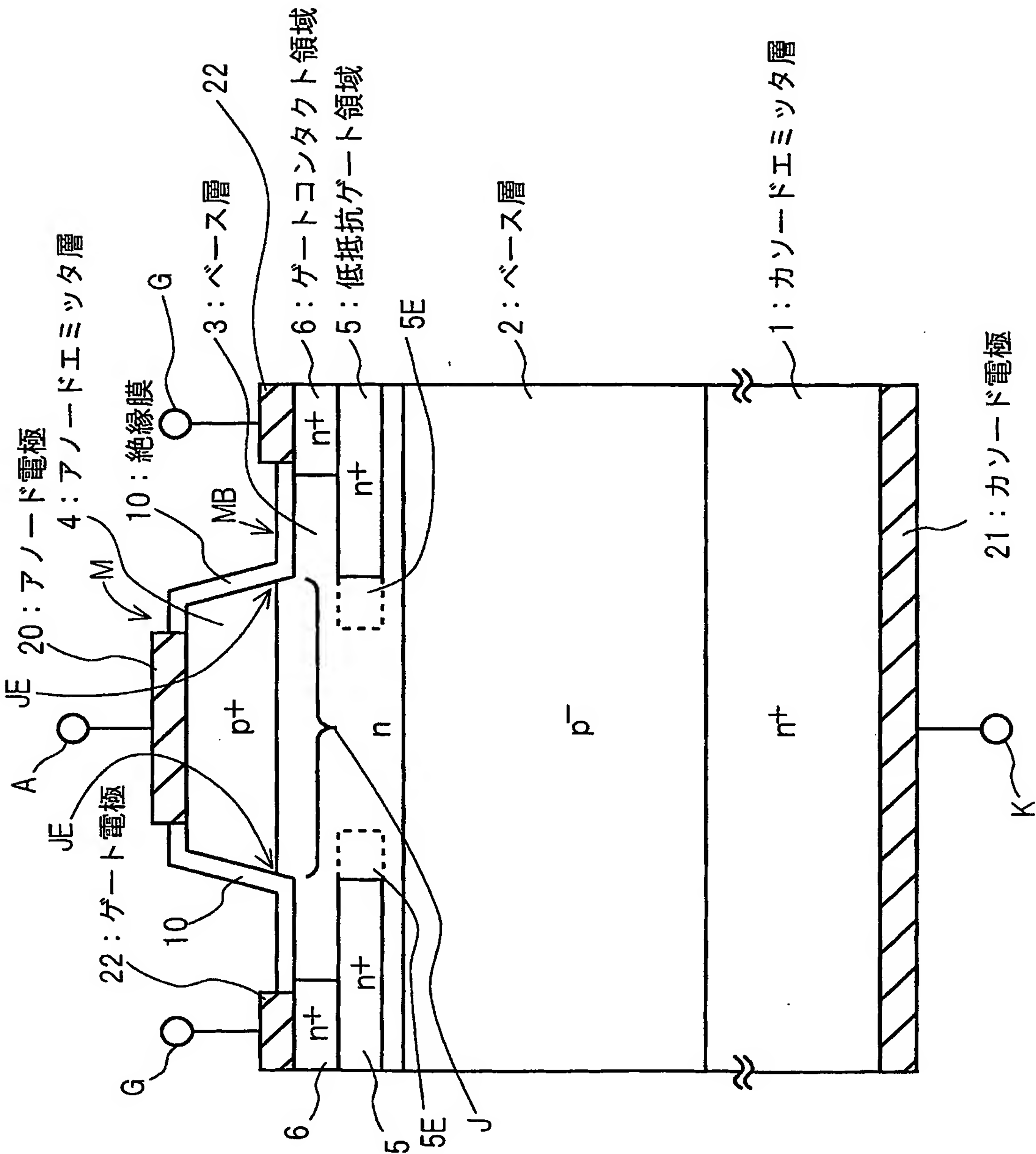
1	カソードエミッタ層
2、2 A、3	ベース層
4、4 A	アノードエミッタ層
5、5 A、5 5	低抵抗ゲート領域
5 E	延長部
6	ゲートコンタクト領域
7	電界緩和領域
10	絶縁膜
20	アノード電極
21	カソード電極
22	ゲート電極
J	接合部
A	アノード端子
G	ゲート端子
K	カソード端子
M	メサ
MB	メサ底面
MC	メサコーナ一部

【書類名】 図面

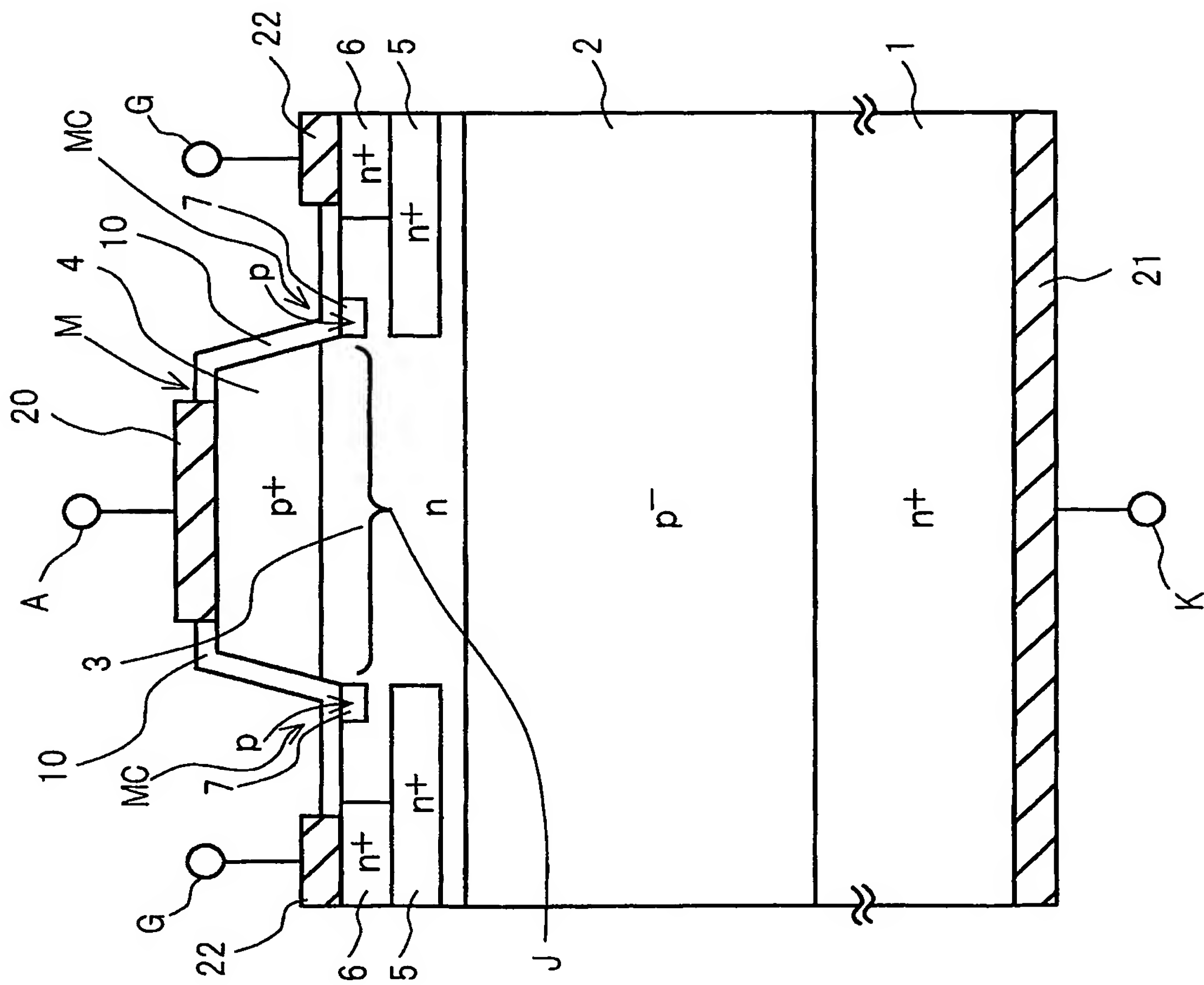
【図1】



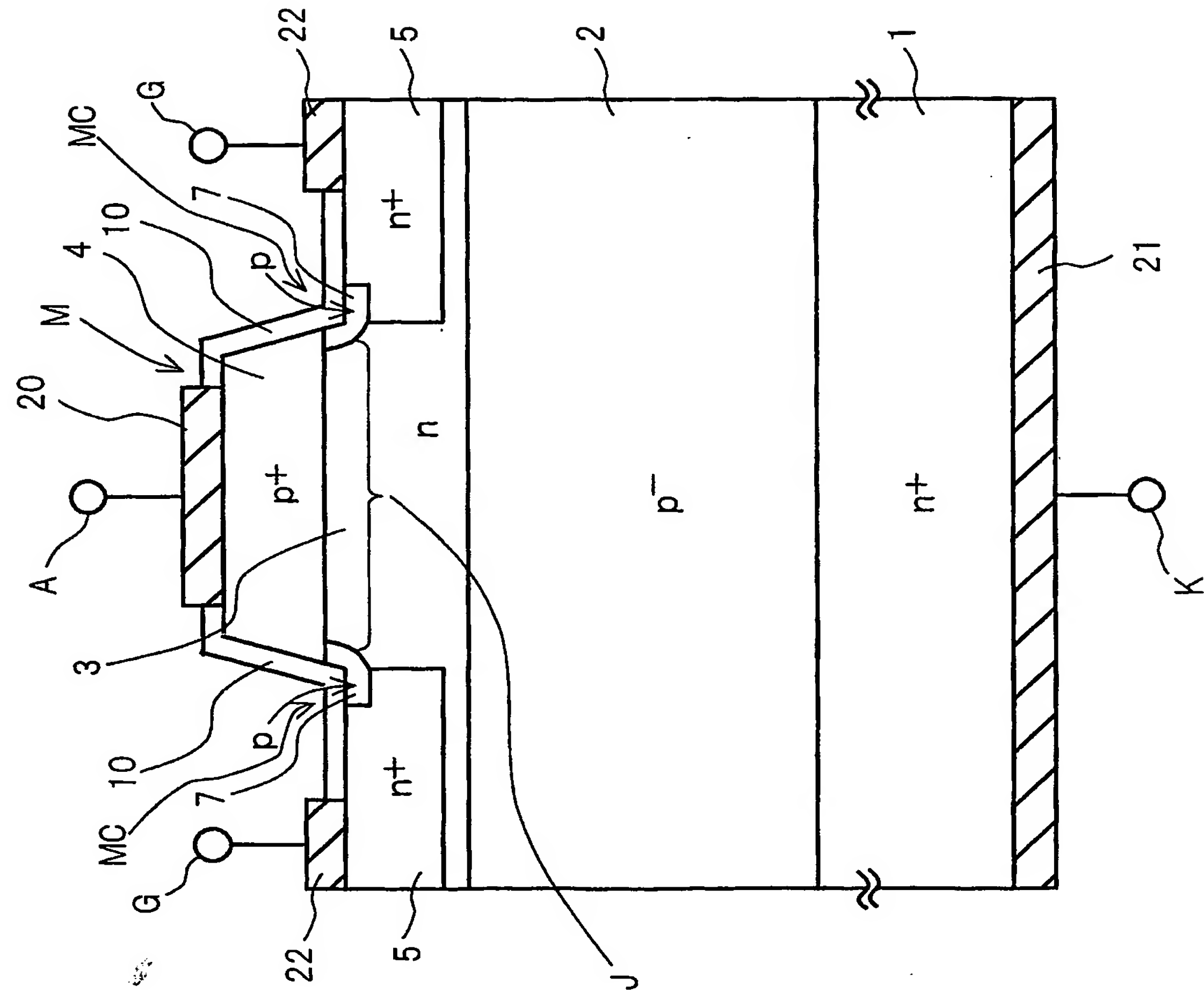
【図2】



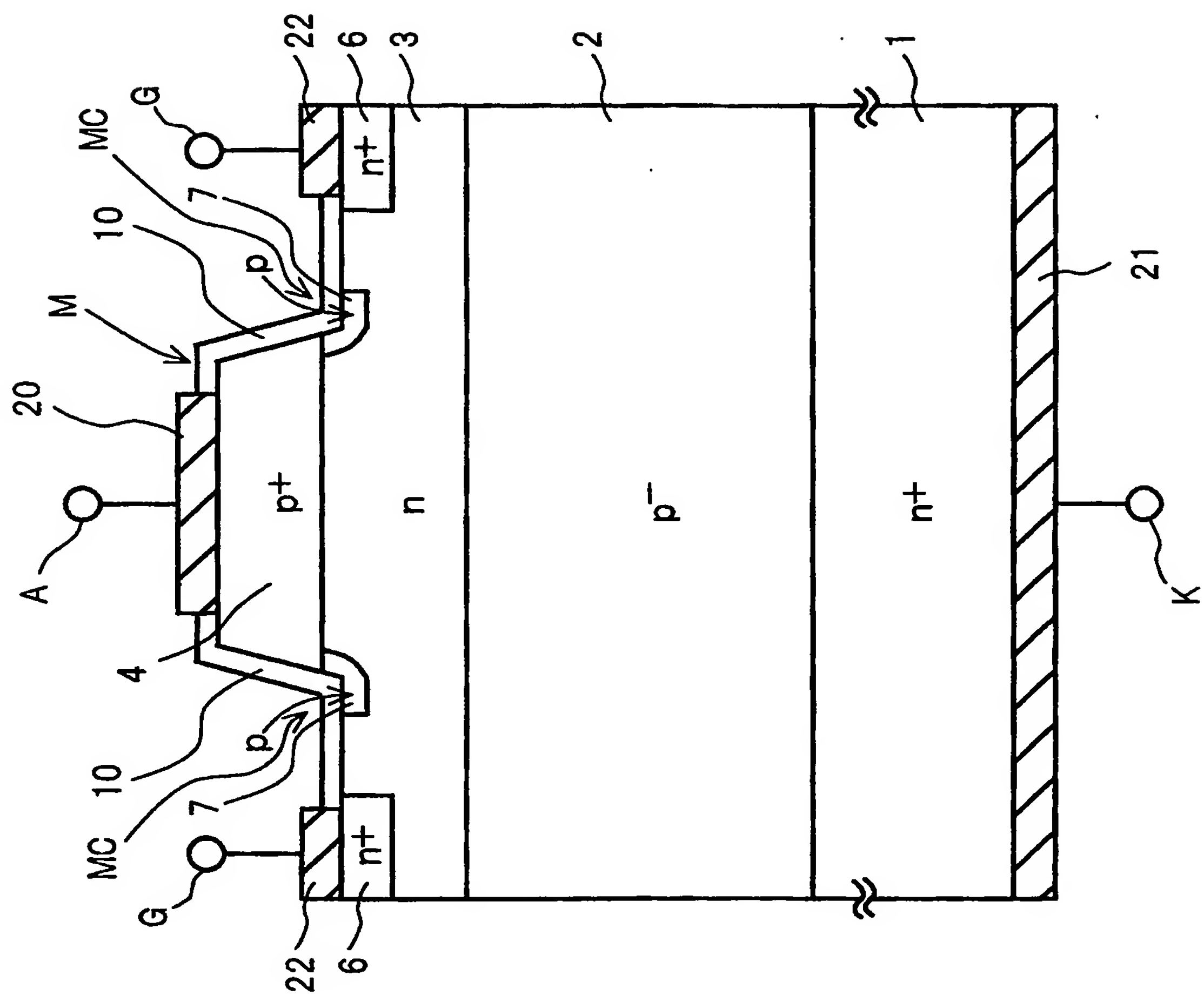
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 メサ型のワイドギャップ半導体ゲートターンオフサイリスタでは、ゲートの耐電圧が低く、またリーク電流が大きい。高温時には p 型不純物のイオン化率が室温に比べ大幅に増大するため、ホールの注入量が増えるとともに少数キャリアのライフタイムも伸びるため、最大可制御電流が室温に比べ大幅に低下する。

【解決手段】 一方の面にカソード電極 21 を有する n 型 SiC のカソードエミッタ層 1 の上に p 型ベース層 2 を設け、p 型ベース層 2 の上に薄い n 型ベース層 3 を設ける。n 型ベース層 3 の中央部にメサ型の p 型アノードエミッタ層 4 を設け、n 型ゲートコンタクト領域 6 を p 型アノードエミッタ層 4 と n 型ベース層 3 の接合部から十分離して設けるとともに、n 型低抵抗ゲート領域 5 を n 型ベース層 3 内にアノードエミッタ層 4 を取り囲むように設ける。

【選択図】 図 2

特願 2 0 0 3 - 1 0 5 6 5 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 6 9 3 8]

1. 変更年月日	1 9 9 0 年 8 月 1 0 日
[変更理由]	新規登録
住 所	大阪府大阪市北区中之島 3 丁目 3 番 2 2 号
氏 名	関西電力株式会社